

VOLTAGE REGULATOR

Patent Number: JP3158911
Publication date: 1991-07-08
Inventor(s): SUDO MINORU
Applicant(s): SEIKO INSTR INC
Requested Patent: ☐ JP3158911
Application Number: JP19890300011 19891117
Priority Number(s):
IPC Classification: G05F1/56
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce the overshoot and the undershoot of an output voltage generated at the time of switching the output voltage by giving a delay to an external signal for switching the output voltage, and switching stepwise the output voltage.

CONSTITUTION: The voltage regulator is provided with a reference voltage circuit 1, an error amplifier 2, an output transistor 3, and resistances R1, R2, and also, a resistance R3 is connected in series to the resistor R2, and a resistor R4 is connected in series to the resistor R3. Also, it is provided with a transistor M1 in which an output voltage switching terminal is connected to a gate, and a drain is connected to the connecting point of the resistor R2 and the resistor R3, and a transistor M2 in which a delaying circuit is connected to the output switching terminal and the output of the delaying circuit is connected to a gate, and a drain is connected to the connecting point of the resistor R3 and the resistor R4. In such a state, the delay is given to an external signal for switching an output voltage, and the output voltage is switched. In such a manner, the overshoot and the undershoot at the time of switching the output voltage are reduced.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-158911

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月8日

G 05 F 1/56

3 1 0 D

8527-5H

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 ボルテージ・レギュレーター

⑯ 特 願 平1-300011

⑰ 出 願 平1(1989)11月17日

⑱ 発 明 者 須 藤 稔 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑳ 代 理 人 弁理士 林 敬之助

明 細 書

1. 発明の名称

ボルテージ・レギュレーター

2. 特許請求の範囲

基準電圧回路と、抵抗と誤差増幅器と、出力トランジスタとからなり、外部信号によって出力電圧が可変な、CMOSモノリシックIC化されたボルテージ・レギュレーターにおいて、前記出力電圧を変化させる外部信号に遅延を施し、段階的に出力電圧を変える手段を具備することを特徴としたボルテージ・レギュレーター。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、CMOSモノリシック化されたボルテージ・レギュレーターに関するものである。

〔発明の概要〕

本発明は、ボルテージ・レギュレーターの出力電圧を変化させる外部信号に遅延を施し、出力電

圧を段階的に変化させることで、出力電圧を切り換えた時に発生するオーバー・シュートや、アンダー・シュートの小さいボルテージ・レギュレーターを提供するものである。

〔従来の技術〕

従来の出力電圧値が切り換え可能なボルテージ・レギュレーターの回路図を第2図に示す。基準電圧回路1と抵抗R₁とR₂とR₃から取り出された電圧は、誤差増幅器2で比較され、出力トランジスタ3を制御する。つまり、抵抗R₁とR₂とR₃から取り出された電圧が、基準電圧より小さければ、誤差増幅器2の出力は低くなり、出力トランジスタ3を強くバイアスし、逆に抵抗R₁とR₂とR₃から取り出された電圧が、基準電圧より高ければトランジスタ3を弱くバイアスして出力端子6には一定の出力電圧が得られる。

該出力電圧値は、外部より出力電圧切り換え端子5に、ハイ・レベルあるいはロー・レベルの電圧を加えることで、トランジスタM₁がON、OFFして抵抗R₁をショートするかあるいはしな

いかによって切り換える。

第2図のボルテージ・レギュレータの場合、次のような問題点が生じる。

出力端子6の出力電圧を V_{out} と呼ぶと、 V_{out} は出力電圧切り換え端子5に加える電圧によって式(1)、式(2)のようになる。

$$V_{out} = (R_1 + R_2) / R_3 \times V_{in} \quad \dots (1)$$

$$V_{out} = (R_1 + R_2 + R_3) / (R_1 + R_2) \times V_{in} \quad \dots (2)$$

ここで、 R_1 、 R_2 、 R_3 は、それぞれ第2図の抵抗 R_1 、 R_2 、 R_3 の値であり V_{in} は、基準電圧回路1の出力電圧値である。また式(1)は、出力電圧切り換え端子5の電圧をハイ・レベルにした時の V_{out} であり、式(2)は、出力電圧切り換え端子5の電圧をロー・レベルにした時の V_{out} である。

このように、トランジスタM₁をON、OFFさせることにより出力電圧を切り換えることができる。

しかし、上記のような方法を用いて出力電圧を

3

$$R_1 + R_2 = R_3 \quad \dots (3)$$

第1図の、出力電圧を切り換える外部端子5の信号Aと遅延回路4を通った信号Bと、出力端子6の電圧 V_{out} の電圧波形図を第3図に示す。

抵抗 R_1 と直列に抵抗 R_2 を接続し、該 R_2 に直列に抵抗 R_3 を接続する。抵抗 R_1 と R_2 の値は式(3)を満足するように決定する。さらに、出力電圧切り換え端子をゲートに接続し、ドレインを抵抗 R_1 と R_2 の接続点に接続したトランジスタM₁と、出力電圧切り換え端子に遅延回路を接続し該遅延回路の出力をゲートに接続し、ドレインを抵抗 R_1 と R_2 の接続点に接続したトランジスタM₂を具備している。

信号Aが、ハイ・レベルにある時、 V_{out} は式(1)で与えられる電圧になる。信号Aが、ハイ・レベルからロー・レベルに切り換えると V_{out} は、時間 ΔT の間、式(4)で与えられる電圧になる。

$$V_{out} = (R_1 + R_2 + R_3) / (R_1 + R_2) \times V_{in} \quad \dots (4)$$

5

特開平 3-158911(2)

切り換えると、誤差増幅器2の応答速度に限界があり遅延を生じるため、出力電圧に発生するオーバー・シュートやアンダー・シュートが大きいという課題があった。

(課題を解決するための手段)

本発明は、従来の技術の課題を解決することを目的とし、出力電圧が可変なボルテージ・レギュレータにおいて、出力電圧切り換え時のオーバー・シュートやアンダー・シュートの小さいボルテージ・レギュレータを提供できた。

具体的には、出力電圧を切り換える外部信号に遅延を施し、出力電圧を段階的に切り換えるようにした。

(実施例1)

以下、図面に従って本発明の一実施例を詳細に説明する。第1図は本発明の、出力電圧に生じるアンダー・シュートを抑えたボルテージ・レギュレータの回路図である。基準電圧回路1、誤差増幅器2、出力トランジスタ3、及び、抵抗 R_1 、 R_2 は第2図と同等である。→(4-1)

4

この時、アンダー・シュート ΔV が生じるが、このアンダー・シュートによって V_{out} が式(2)で与えられる V_{out} と同程度か、それよりも大きくなるように抵抗 R_1 の値を決定する。

信号Aが、遅延回路4を通して時間 ΔT 後に信号Bがハイ・レベルからロー・レベルに切り換わると、 V_{out} は式(2)で与えられる電圧になる(式(3)より)。

この時、アンダー・シュート ΔV は第2図の従来のボルテージ・レギュレータのアンダー・シュートの半分以下にである。

(実施例2)

第4図にオーバー・シュートを抑えたボルテージ・レギュレータの回路図を示す。基準電圧回路1、誤差増幅器2、出力トランジスタ3、遅延回路4、及び、抵抗 R_1 、 R_2 は第1図と同等である。→(6-1)

$$R_1 + R_2 = R_3 \quad \dots (5)$$

第4図の、出力電圧を切り換える外部端子5の信号Aと遅延回路を通った信号Bと、出力端子6

6

の電圧 V_{out} の電圧波形図を第5図に示す。

信号Aが、ロー・レベルにある時、 V_{out} は式(2)で与えられる電圧になる(式(5)より)。信号Aが、ロー・レベルからハイ・レベルに切り換わると V_{out} は、時間 ΔT の間、式(6)で与えられる電圧になる。

$$V_{out} = (R_1 + R_2 + R_3) / (R_1 + R_2) \times V_{in} \quad \dots (6)$$

この時、オーバー・シュート ΔV が生じるが、このオーバー・シュートによって V_{out} が式(1)で与えられる V_{out} と同程度か、それよりも小さくなるように抵抗 R_3 の値を決定する。

信号Aが遅延回路4を通して時間 ΔT 後に、信号Bがロー・レベルからハイ・レベルに切り換わると V_{out} は式(1)で与えられる電圧になる。この時オーバー・シュート ΔV は、第2図の従来のボルテージ・レギュレーターのオーバー・シュートの半分以下である。

抵抗 R_1 と直列に抵抗 R_2 を結線し、該 R_2 に直列に抵抗 R_3 を結線する。抵抗 R_1 と R_3 の値

7

明のオーバー・シュートを抑えたボルテージ・レギュレーターの回路図、第5図は第4図の各部の電圧波形図である。

- 1・・・基準電圧回路
- 2・・・誤差増幅器
- 3・・・出力トランジスタ
- 4・・・遅延回路
- 5・・・出力電圧切り換え素子
- 6・・・出力端子

以上

出願人 セイコー電子工業株式会社
代理人 弁護士 林 敬之助

特開平 3-158911(3)

は式(5)を満足するように決定する。さらに出力電圧切り換え素子をゲートに結線し、ドレインを抵抗 R_1 と R_2 の接続点に結線したトランジスタ M_1 と、出力電圧切り換え素子に遅延回路を結線し該遅延回路の出力をゲートに結線し、ドレインを抵抗 R_1 と R_2 の接続点に結線したトランジスタ M_2 を具備している。

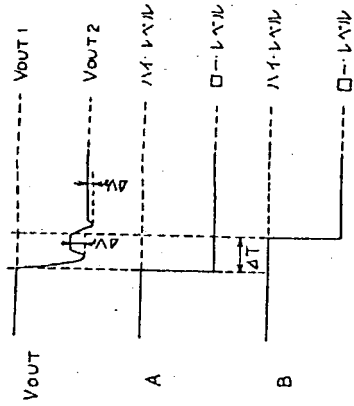
〔発明の効果〕

以上述べたように本発明によれば、出力電圧を切り換える外部信号に遅延を施し、出力電圧を段階的に切り換えることで、出力電圧切り換え時に発生する出力電圧のオーバーシュートやアンダー・シュートの小さいボルテージ・レギュレータを提供できるという効果がある。

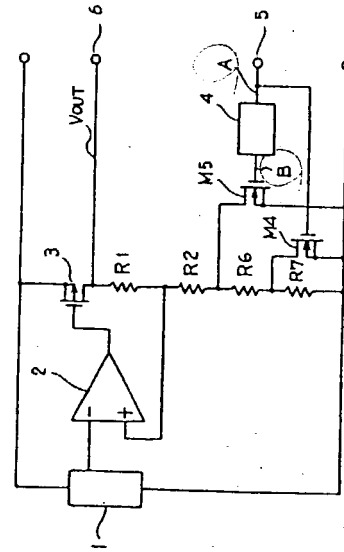
4. 図面の簡単な説明

第1図は本発明のアンダー・シュートを抑えたボルテージ・レギュレーターの回路図、第2図は従来のボルテージ・レギュレーターの回路図、第3図は第1図の各部の電圧波形図、第4図は本発

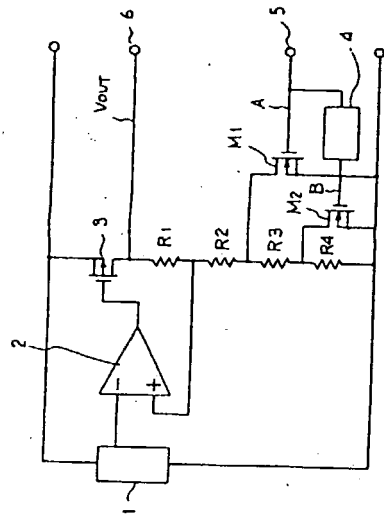
8



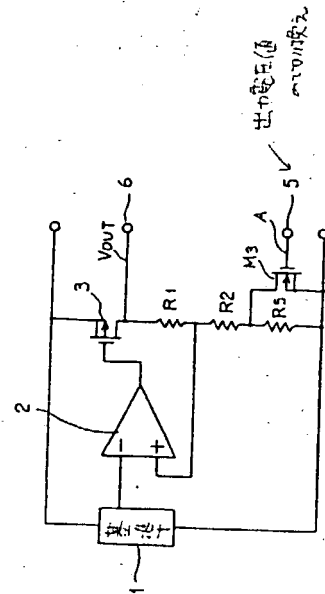
第 3 図



第 4 図



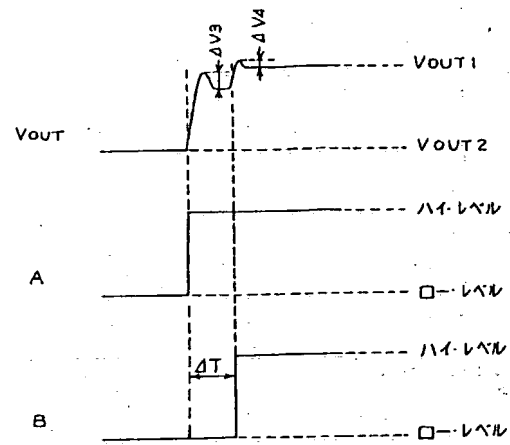
第 1 図 案



第 2 図 従来

(5)

特開平 3-158911(5)



第 5 図

